

1/5/1 (Item 1 from file: 351)  
DIALOG(R) File 351: Derwent WPI  
(c) 2002 Thomson Derwent. All rts. reserv.

008032430 \*\*Image available\*\*

WPI Acc No: 1989-297542/ 198941

Signal delay time control circuit for semiconductor IC - has capacitor  
connected through switching element to junction point of two active  
circuits NoAbstract Dwg 2/2

Patent Assignee: NEC CORP (NIDE )

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 1220914	A	19890904	JP 8844473	A	19880229	198941 B

Priority Applications (No Type Date): JP 8844473 A 19880229

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
JP 1220914	A	24		

Title Terms: SIGNAL; DELAY; TIME; CONTROL; CIRCUIT; SEMICONDUCTOR; IC;  
CAPACITOR; CONNECT; THROUGH; SWITCH; ELEMENT; JUNCTION; POINT; TWO;  
ACTIVE; CIRCUIT; NOABSTRACT -

Derwent Class: U22

International Patent Class (Additional): H03K-005/13

File Segment: EPI

1/5/2 (Item 1 from file: 347)  
DIALOG(R) File 347: JAPIO  
(c) 2002 JPO & JAPIO. All rts. reserv.

02923314 \*\*Image available\*\*

DELAY TIME ADJUSTING CIRCUIT

PUB. NO.: 01-220914 [ JP 1220914 A]  
PUBLISHED: September 04, 1989 (19890904)  
INVENTOR(s): OKI HIDETAKA  
APPLICANT(s): NEC CORP [000423] (A Japanese Company or Corporation), JP  
(Japan)  
APPL. NO.: 63-044473 [JP 8844473]  
FILED: February 29, 1988 (19880229)  
INTL CLASS: [4] H03K-005/13  
JAPIO CLASS: 42.4 (ELECTRONICS -- Basic Circuits)  
JOURNAL: Section: E, Section No. 853, Vol. 13, No. 539, Pg. 77,  
November 30, 1989 (19891130)

#### ABSTRACT

PURPOSE: To make the delay time of an internal path adjustable externally by connecting a capacitor to a connecting point between an output of a 1st active circuit element and a 2nd active circuit element via a switching element whose switching state is controllable externally.

CONSTITUTION: An output terminal of a 1st stage gate 2 being the 1st active circuit element is connected to an input terminal of the next stage gate 4 being the 2nd active circuit element. One or plural series circuits comprising a capacitor 8 with a prescribed capacitance and a semiconductor switch 6 as a switching element whose switching is controllable externally are connected to a connecting point between the output terminal of the 1st stage gate 2 and the input terminal of the next stage gate 4. Since the load capacitance of the internal active circuits element is selected in this way, the delay time of the internal path of the semiconductor integrated circuit is adjusted externally.

## ⑫ 公開特許公報(A)

平1-220914

⑤ Int.Cl.<sup>4</sup>

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)9月4日

H 03 K 5/13

7631-5J

審査請求 未請求 請求項の数 1 (全3頁)

⑭ 発明の名称 遅延時間調整回路

⑯ 特 願 昭63-44473

⑰ 出 願 昭63(1988)2月29日

⑱ 発 明 者 沖 秀 隆 東京都港区芝5丁目33番1号 日本電気株式会社内  
⑲ 出 願 人 日本電気株式会社 東京都港区芝5丁目33番1号  
⑳ 代 理 人 弁理士 山内 梅雄

## 明 細 書

## 1. 発明の名称

遅延時間調整回路

## 2. 特許請求の範囲

複数の回路素子が1つの基板上に組み込まれたものであって、かつ第1の能動回路素子の出力に第2の能動回路素子の入力が接続された構成を有する半導体集積回路において、前記第1の能動回路素子の出力と前記第2の能動回路素子の入力との接続部に、外部よりスイッチング制御可能なスイッチング素子を介してキャパシタを接続してなることを特徴とする遅延時間調整回路。

## 3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路の改良に係わり、特に信号の遅延時間を調整可能にしてなる遅延時間調整回路に関する。

〔従来の技術〕

この種の半導体集積回路は、複数の回路素子を1つの基板上に組み込んで構成されており、かつ

第1の能動回路素子の出力に第2の能動回路素子の入力に接続された回路構成を有しているものが一般的である。

かかる半導体集積回路は、設計が終了し、実際にデバイスとして完成してしまうと、集積回路内部で信号の伝播遅延時間を調整することができなかった。したがって、半導体集積回路を製造する際のバラツキに起因するタイミングのずれは、一旦完成した半導体集積回路にあっては、補正することができなかった。

〔発明が解決しようとする課題〕

かかる不都合を解消するため、従来は、半導体集積回路の設計時に回路素子等に余裕を持たせ、これに対処していた。しかしながら、かかる処置では、上記不都合を充分にかつ適正に補正できるものではなく、かつ余裕を持たせる割合をどの程度にするかを決定するのが困難であるという不都合があった。

本発明は上述した課題を解決するためになされたもので、半導体集積回路内部の遅延時間を外部

より調整可能としてなる遅延時間調整回路を提供することを目的とする。

〔課題を解決するための手段〕

上記目的を達成するため、本発明の遅延時間調整回路は、複数の回路素子が1つの基板上に組み込まれたものであって、かつ第1の能動回路素子の出力に第2の能動回路素子の入力に接続された構成を有する半導体集積回路において、前記第1の能動回路素子の出力と前記第2の能動回路素子の入力との接続部に、外部よりスイッチング制御可能なスイッチング素子を介してキャパシタを接続してなることを特徴とするものである。

このような構成の本発明によれば、前記第1の能動回路素子の出力と前記第2の能動回路素子の入力との接続部に、スイッチング素子を外部よりオンさせることにより当該回路に適正なキャパシタ分を与えることができるので、半導体集積回路内の遅延時間を外部から調整できることになる。

〔実施例〕

次に、本発明の一実施例について図面を参照し

て説明する。

第1図は、本発明に係る遅延時間調整回路の実施例の原理構成を示すブロック図である。

第1図に示す遅延時間調整回路の実施例は次のように構成されている。すなわち、第1の能動回路素子である初段ゲート2の出力端子は、第2の能動回路素子である次段ゲート4の入力端子に接続されている。初段ゲート2の出力端子と次段ゲート4の入力端子との接続部には、外部よりスイッチング制御可能なスイッチング素子としての半導体スイッチ6と所定の静電容量のキャパシタ8からなる直列回路が一または複数個接続されている。しかし、これらの回路素子は、1つの基板上に組み込まれて構成されている。

第2図は、上記第1図の原理的構成をCMOS-LSIとして具体化した回路例を示す回路図である。

第2図において、符号12は初段ゲートであり、2つのトランジスタを直列接続してなり、信号入力11がそれらトランジスタの入力端に接続され

ている。この初段ゲート12の出力端子は次段ゲート14の入力端子に接続されている。この次段ゲート14は、2つのトランジスタを直列接続してなり、出力15を有している。初段ゲート12の出力端子と次段ゲート14の入力端子との接続部には、外部よりスイッチング制御可能な半導体スイッチ16<sub>1</sub>と所定の静電容量のキャパシタ18<sub>1</sub>とからなる直列回路、および外部よりスイッチング制御可能な半導体スイッチ16<sub>2</sub>と所定の静電容量のキャパシタ18<sub>2</sub>とからなる直列回路がそれぞれ接続されている。半導体スイッチ16<sub>1</sub>には、伝搬遅延時間を可変するための制御信号を入力する端子17が接続されており、この端子17から直接にかつインバータ19を介して制御信号が供給できるようにしてある。同様に、半導体スイッチ16<sub>2</sub>には、伝搬遅延時間を可変するための制御信号を入力する端子21が接続されており、この端子21から直接にかつインバータ23を介して制御信号が供給できるようにしてある。

このような構成の実施例の遅延時間調整回路についてその作用を説明する。

初段ゲート12の伝搬遅延時間は、その出力の負荷静電容量に依存する。そこで、まず半導体スイッチ16<sub>1</sub>、16<sub>2</sub>が双方ともにオフの場合は、初段ゲート12の負荷静電容量は、次段ゲート14の入力静電容量と、半導体スイッチ16<sub>1</sub>、16<sub>2</sub>のドレイン静電容量とからなる。したがって、初段ゲート12の遅延時間は、これらの静電容量に応じて遅延することになる。

次に、端子17または21の一方から制御信号を入力して半導体スイッチ16<sub>1</sub>、または16<sub>2</sub>のいずれか一方をオンとさせた場合、初段ゲート12の負荷静電容量は、キャパシタ18<sub>1</sub>、または18<sub>2</sub>のいずれか一方が加わり、初段ゲート12の遅延時間が、そのキャパシタ18<sub>1</sub>、または18<sub>2</sub>のいずれか一方の容量に応じて大きくなる。

さらに、端子17および21からそれぞれ制御信号を入力して半導体スイッチ16<sub>1</sub>、および16<sub>2</sub>の双方をオンとさせた場合、初段ゲート12の

負荷静電容量は、キャパシタ18、および18、の双方が加わり、初段ゲート12の遅延時間が、そのキャパシタ18、および18、の双方の容量に応じて大きくなる。

このように第 2 図に示す実施例によれば、外部が端子 17, 21 に加える制御信号に応じて遅延時間を 4 段階に調節できることになる。

なお、上記実施例では、4段階に遅延時間の調整を可能としたものとして示したが、これに限定されることなく、2段階以上の調整ができることになる。

このように本実施例によれば、半導体集積回路の内部の能動回路素子の負荷容量を切り換えられるようにしてなるので、半導体集積回路の内部パスの遅延時間を外部より調整することができる。このため、半導体集積回路単体試験時または装置試験時に、半導体集積回路内部のタイミング調整を行うことができる。また、一装置内で単一の同期信号で動作する半導体集積回路が複数個ある場合、その同期信号のスキュー合わせを半導体集積

回路内部で行うことができる。

〔発明の効果〕

以上説明したように本発明によれば、半導体集積回路の内部の能動回路素子の負荷容量を切り換えられるようにしてなるので、半導体集積回路の内部バスの遅延時間を外部より調整することができるという効果がある。

#### 4. 図面の簡単な説明

第 1 図は本発明の原理的構成を示すブロック図、  
第 2 図は本発明の実施例を示す回路図である。

2、1 2 …… 初段ゲート（第1の能動回路素子）

#### 4、14 …… 次段ゲート (第2の能動回路素子)

6、16<sub>1</sub>、16<sub>2</sub>、……半導体スイッチ

(スイッチング素子)、

8、18、18、... キヤバシタ。

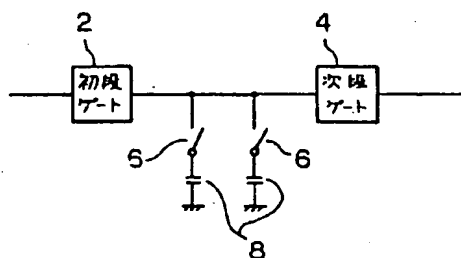
出願人

代理人

日本電気株式会社

弁理士 山内梅雄

第 1 圖



第 2 圖

